

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-095098

(43) Date of publication of application : 07. 04. 1995

(51) Int. Cl.

H03M 13/12

H04L 25/08

H04L 25/497

(21) Application number : 05-256503

(71) Applicant : CANON INC

(22) Date of filing : 20. 09. 1993

(72) Inventor : KOBAYASHI KAZUNA

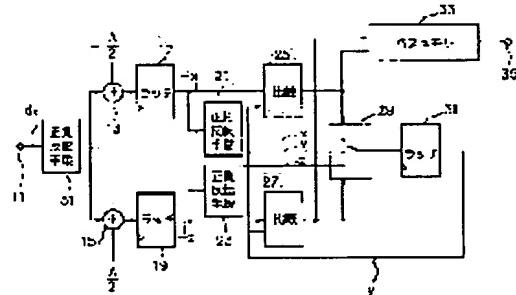
AIDA AKIRA

TANAKA YASUYUKI

(54) SIGNAL PROCESSING UNIT**(57) Abstract:**

PURPOSE: To simplify the circuit configuration implementing maximum likelihood decoding and to improve the operating speed.

CONSTITUTION: The processing unit is provided with a 1st comparator means 25 comparing a difference between branch metric values fed from a latch circuit 17 and a difference between metric values stored in a latch circuit 31 and a 2nd comparator means 27 comparing a difference between branch metric values fed from a latch circuit 19 and a difference between metric values stored in the latch circuit 31. Then decoded data are confirmed based on a comparison output and a switch 29 is controlled. Thus, the difference between the selected metric values is stored in the latch circuit 31 to eliminate the need for a means preventing overflow of data latched in the latch circuit 31 and an addition means having been required for a conventional feedback loop for path metric. Then the circuit scale of a Viterbi decoder is reduced considerably and the configuration of the feedback loop of path metric is decreased.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for

[application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998,2000 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-95098

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶H 03 M 13/12
H 04 L 25/08
25/497

識別記号

府内整理番号
8730-5J
B 9199-5K
9199-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1 FD (全11頁)

(21) 出願番号 特願平5-256503

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小林一菜

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 合田亮

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 田中康之

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

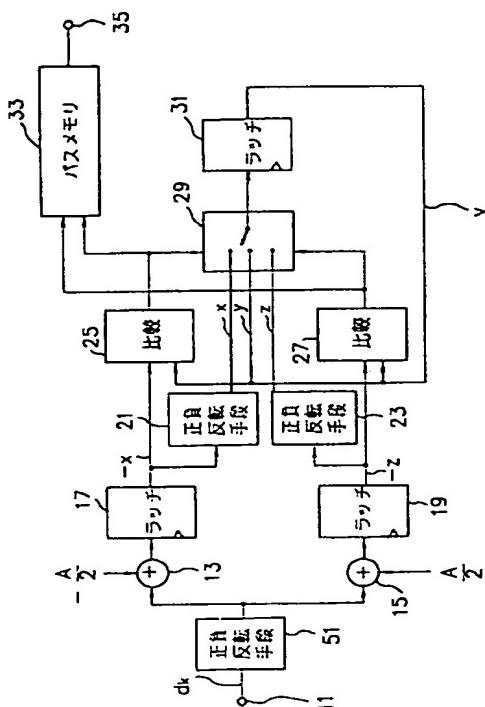
(74) 代理人 弁理士 國分孝悦

(54) 【発明の名称】 信号処理装置

(57) 【要約】

【目的】 最尤復号を行う回路の構成を簡素化するとともに、動作速度を向上させる。

【構成】 ラッチ回路17から供給されるバスメトリックの差とラッチ回路31に保存しているメトリックの差との比較を行う第1の比較手段25、およびラッチ回路19から供給されるバスメトリックの差とラッチ回路31に保存しているメトリックの差との比較を行う第2の比較手段27を設け、その比較出力に基づいて復号データを確定するとともに、スイッチ29を制御することによって選択されたメトリックの差をラッチ回路31に保持するようにして、ラッチ回路31にラッチされるデータのオーバーフローを防止するための手段、および従来のバスメトリックのフィードバックループに必要であった加算手段を不要にすることにより、ビタビ復号器の回路規模を大幅に小さくするとともに、バスメトリックのフィードバックループの構成を短くする。



【特許請求の範囲】

【請求項1】 パーシャルレスポンスPR(1, 1)方式またはパーシャルレスポンスPR(1, 0, 1)方式を用いて最尤復号を行う信号処理装置であって、

外部から供給されるプランチメトリックの差と、保持している過去のメトリックの差との比較を行う比較手段と、

上記比較手段の比較出力に基づいて、上記外部から供給されるプランチメトリックの差または保持している過去のメトリックの差を新たなメトリックの差として保持する保持手段と、

上記比較手段の比較出力に基づいて復号データを確定する確定手段とを有する最尤復号装置を備えたことを特徴とする信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、最尤復号を行うための信号処理装置に関し、特に、ビタビ復号器を備えた信号処理装置に関する。

【0002】

【従来の技術】 従来から、良好なデジタル伝送を実現するための最尤復号の具体的な一手法として、ビタビ復号が知られている。ビタビ複合は、保存されているパスメトリックと入力データ列から求めたプランチメトリック

$$m_k(s_1) = \max \{ m_{k-1}(s_0), m_{k-1}(s_1) + d_k - A/2 \} \quad \dots (1) \text{式}$$

$$m_k(s_0) = \max \{ m_{k-1}(s_0), m_{k-1}(s_1) - d_k - A/2 \} \quad \dots (2) \text{式}$$

ここで、 s_0 、 s_1 は 2 つの状態、 $m_k(s_1)$ は、 k の時刻における状態 s_1 へのメトリック、 d_k は、 k の時刻における入力信号、を示している。

【0006】 ビタビ復号では、(1)式、(2)式による処理を逐次的に行い、最も確からしいパスを推定することによってデータを復号するようにしている。

【0007】 図10は、上記の(1)式、(2)式を実行するための具体的な構成を示すブロック図であり、図10において、A/D変換された多値の入力信号 d は、入力端子101を介して入力され、加算手段103と減算手段105にそれぞれ供給される。上記加算手段103において、入力信号 d に $-A/2$ が加算され、その結果はラッチ回路107に供給されて保持される。一方、上記減算手段105においては、入力信号 d から $-A/2$ が減算され、その結果はラッチ回路109に供給されて保持される。

【0008】 図10の回路には、第1の状態のメトリック $m_{k-1}(s_1)$ を保持するためのラッチ回路123と、第2の状態のメトリック $m_{k-1}(s_0)$ を保持するためのラッチ回路125とが設けられている。

【0009】 ラッチ回路123は、保持している第1の状態のメトリック $m_{k-1}(s_1)$ を、比較手段119の

とを幾つかの組み合わせで加算する。そして、その加算結果を比較して新しいパスメトリックを選択するという処理を続けることによって、最も確からしいパスを確定してデータを復号するようしている。

【0003】 このため、復号器への入力情報は、その前後の情報に対して、何らかの相関を有している必要があるが、これに対しては、符号間干渉を利用するパーシャルレスポンス等化との組み合わせによって、復号利得を高める効果が知られている。パーシャルレスポンスは、制御可能な符号間干渉を許容し、この符号間干渉を利用して符号のスペクトラムを整形することにより、伝送効率を向上させるようにしたものである。

【0004】 パーシャルレスポンスは、幾つかの符号変換があるが、このうち PR(1, 1) 方式と呼ばれるものは、信号の電力スペクトラムを低周波側に集中できるため、高周波部の雑音を低減できるという特徴を持つ。この PR(1, 1) 方式の基本的な原理については、例えば、Lender, A., "The Duobinary Technique for High Speed Data Transmission," IEEE Trans. Comm and Electron, vol. CS-5, pp214-218, May 1963 に詳しく説明されている。

【0005】 上記文献に示され PR(1, 1) 方式をビタビ復号と組み合わせることにより、以下に示す式が導き出される。

$$m_{k-1}(s_1) + d_k - A/2 \quad \dots (1) \text{式}$$

$$m_{k-1}(s_0) - d_k - A/2 \quad \dots (2) \text{式}$$

一方の入力端子 a3、切り換え手段121の入力端子 b4、加算手段111にそれぞれ供給する。

【0010】 また、ラッチ回路125は、保持している第2の状態のメトリック $m_{k-1}(s_0)$ を比較手段115の一方の入力端子 b1、切り換え手段117の入力端子 b2、加算手段113にそれぞれ供給する。

【0011】 上記加算手段111は、ラッチ回路107からの出力値 ($d_k - A/2$) と、ラッチ回路123からの出力されるメトリック $m_{k-1}(s_1)$ とを加算し、その結果の値 ($m_{k-1}(s_1) + d_k - A/2$) を、上記比較手段115の他方の入力端子 a1 に供給する。また、上記加算手段113は、ラッチ回路109からの出力値 ($-d_k - A/2$) とラッチ回路125からの出力されるメトリック $m_{k-1}(s_0)$ とを加算し、その結果の値 ($m_{k-1}(s_0) - d_k - A/2$) を上記比較手段119の他方の入力端子 a3 に供給する。

【0012】 上記比較手段115は、供給された2つの入力信号を比較し、その比較結果を切り換え手段117に供給して、この切り換え手段117を制御するとともに、バスメモリ127に供給する。この切り換え手段117は、上記ラッチ回路125から入力されるメトリック $m_{k-1}(s_0)$ と、加算手段111からの入力値 ($m_{k-1}(s_1) + d_k - A/2$) を比較し、その結果を切り換え手段117に供給する。

$(s_1) + d_1 - A/2$ とを、比較手段 115 からの結果に応じて選択して出力する。そして、その出力は、ラッチ回路 123 に入力され、次のクロックで更新されたメトリック $m_{111} (s_1)$ として保持される。

【0013】同様に、比較手段 119 は、供給された 2 つの入力信号を比較し、その比較結果を切り換え手段 121 に供給して、この切り換え手段 121 を制御するとともに、バスメモリ 127 に供給する。この切り換え手段 121 は、上記ラッチ回路 123 から入力されるメトリック $m_{111} (s_1)$ と、加算手段 113 からの入力値 $(m_{111} (s_1) - d_1 - A/2)$ とを、比較手段 119 からの結果に応じて選択して出力する。そして、その出力は、ラッチ回路 125 に入力され、次のクロックで更新されたメトリック $m_{111} (s_1)$ として保持される。

【0014】比較手段 115、119 の各比較結果により最も確からしいバスが選び出され、最尤状態信号としてバスメモリ 127 から出力端子 129 に出力される。

【0015】

【発明が解決しようとする課題】しかしながら、上述の従来例においては、加算手段 111 の後に比較手段 115 を設け、この比較手段 115 の比較結果に基づいて、切り換え手段 117 を切り換えることによって、上記加算手段 111 の出力またはラッチ回路 125 の出力をラッチ回路 123 に選択的に供給するというフィードバックループを必要としている。そのため、上記ラッチ回路 123 にラッピングされた値は、逐次増加して必ずオーバーフローしてしまうので、このオーバーフローを防止するための手段が必要であった。

【0016】同様に、ラッチ回路 125 についてもオーバーフローを防止するための手段が必要であった。また、バスメトリックのフィードバックループの中に加算手段 111、113、比較手段 115、119、切り換え手段 117、121、ラッチ回路 123、125 が必要とされる。このため、バスメトリックのフィードバックループが長くなってしまうので、ビタビ復号器の動作速度が遅くなってしまうという欠点があった。

【0017】本発明は、上述のような実情に鑑みてなされたもので、最尤復号を行う回路の構成を簡素化するとともに、動作速度を向上させることを目的とする。

【0018】

【課題を解決するための手段】本発明の信号処理装置は、パーシャルレスポンス PR (1, 1) 方式またはパーシャルレスポンス PR (1, 0, 1) 方式を用いて最尤復号を行う信号処理装置であって、外部から供給されるブランチメトリックの差と、保持している過去のメトリックの差との比較を行う比較手段と、上記比較手段の比較出力に基づいて、上記外部から供給されるブランチメトリックの差または保持している過去のメトリックの差を新たなメトリックの差として保持する保持手段と、

上記比較手段の比較出力に基づいて復号データを確定する確定手段とを有する最尤復号装置を備えたことを特徴としている。

【0019】

【作用】本発明の信号処理装置は、復号データを確定するために必要な情報は、2つの状態のメトリックの差があればよく、必ずしもメトリックの絶対値は必要としないことを利用して、ブランチメトリックの差とメトリックの差とを比較するとともに、その比較出力に基づいて復号データを確定することにより、オーバーフローを防止するための手段を不要にして回路規模を小さくするとともに、加算手段を不要にしてバスメトリックのフィードバックループを短くするようにしている。

【0020】

【実施例】以下、図面を参照しながら、本発明の信号処理装置の一実施例について説明する。図 1 は、本発明の第 1 実施例による信号処理装置の概略構成を示すプロック図である。

【0021】図 1において、入力端子 1 から入力されたデジタル信号（矩形波信号）は、再生アンプ 2 で増幅された後、イコライザ 3 に供給されて、PR (1, 1) の等化方式により波形整形される。このイコライザ 3 からの出力信号は、A/D 変換器 4 によってデジタル化された後、ビタビ復号器 5 に入力信号 d_1 として供給される。そして、ビタビ復号器 5 によって復号された復号データは、出力端子 8 を介して出力される。

【0022】また、上記 A/D 変換器 4 およびビタビ復号器 5 は、制御回路 7 から供給される制御信号によって駆動制御される。この制御回路 7 は、PLL 回路 6 から供給される所定の周波数の基準クロック信号に基づいて、上記各制御信号を生成するようになっている。

【0023】さらに、第 1 実施例による上記イコライザ 3 は、イコライジング回路 3a とゲイン制御回路 3b とから構成されており、このゲイン制御回路 3b は、上記ビタビ復号器 5 に供給される入力信号 d_1 が、最適なレベルになるようにゲイン制御を行う。

【0024】すなわち、ビタビ復号の場合は、例えば積分検出の場合と比べて、所定のレベル範囲内で誤り率を低くできることが判明した。そこで、本実施例においては、上記ゲイン制御回路 3b において、入力信号 d_1 のレベルをそのような所定のレベルに制御することによって、正確なビタビ復号を行うことができるようしている。

【0025】次に、本発明の第 1 実施例の信号処理装置の概略動作について説明する。図 2 (A) に示すような記録データに基づいて、図 2 (B) に示すような記録信号を、記録ヘッドによって磁気テープに記録する。そして、この記録信号を、再生ヘッドによって再生することによって得られるヘッド出力を、上記イコライザ回路 3 によって波形整形することによって、図 3 (C) に示す

ような再生信号が得られる。

【0026】ここで、本来の復号データは、図2 (D) に示すような値であるにもかかわらず、 $t = 2$ および $t = 6$ におけるヘッド出力にノイズが混入した場合を考える。例えば、 $t = 2$ におけるサンプリングデータは、本来は「0」でなければならないにもかかわらず「0.3」となり、 $t = 6$ におけるサンプリングデータは、本来は「0」でなければならないにもかかわらず「-0.6」となった場合、このようなサンプリングデータに基づく復号データは、図2 (F) に示すように、図2 (D) に示す本来の復号データと異なるものとなり、正確な再生データが得られなくなってしまう。

【0027】そして、このようなノイズ等に基づく誤りは、図3に示す斜線部分に相当し、本来は「1」であるにもかかわらず、「0」と判断してしまう誤りと、本来は「-1」であるにもかかわらず、「0」と判断してしまう誤り、および本来は「0」であるにもかかわらず、「1」または「-1」と判断してしまう誤りとからなっている。

【0028】また、このような誤りは、図3に示すように、各サンプリングデータの「1」、「0」、「-1」となる確率が各々ガウス分布となるために、磁気記録再生を行う場合は不可避的な誤りとなる。

【0029】そこで、本実施例においては、上記ビタビ復号器5において、過去 ($t = k - 1$) のメトリック (パスメトリック) の差 $\{m_{k-1}(s_1) - m_{k-1}(s_0)\}$ と、現在 ($t = k$) の入力データに基づくプランチメトリックの差 $(d_k + A/2, d_k - A/2)$ との

$$\begin{aligned} m_k(s_1) - m_k(s_0) \\ = m_{k-1}(s_1) - m_{k-1}(s_0) + d_k + A/2 = d_k + A/2 \end{aligned} \quad \cdots (3) \text{式}$$

となる。

【0034】また、図4 (Z) の場合におけるメトリックは、

$$\begin{aligned} m_k(s_1) &= m_{k-1}(s_1) + d_k - A/2 \\ m_k(s_1) - m_k(s_0) &= m_{k-1}(s_1) - m_{k-1}(s_0) + d_k - A/2 = d_k - A/2 \end{aligned} \quad \cdots (4) \text{式}$$

となる。

【0035】また、図4 (Y) の場合におけるメトリックは、

$$\begin{aligned} m_k(s_1) &= m_{k-1}(s_0) \\ m_k(s_1) - m_k(s_0) &= m_{k-1}(s_1) - m_{k-1}(s_0) \end{aligned}$$

となる。すなわち、この場合は、先に保存されている $t = k - 1$ におけるメトリックの差となる。

【0036】そして、ビタビ復号の場合は、最も確率的に大きなバスを最適なバスとして選択するため、本実施例においては、上述の3通りの場合におけるメトリック (プランチメトリック) の差の値の内から最も大きな値

比較を行い、この比較結果に基づいて現在のバスメトリックを選択して、正確な復号データを得るようにしている。

【0030】以下に、この原理を説明する。前記の

(1) 式および (2) 式における各メトリックの値は、図4 (X) に示すように、 $t = k - 1$ における s_1 の状態から $t = k$ における s_1 の状態に至るプランチメトリックは「0」となり、 $t = k - 1$ における s_0 の状態から $t = k$ における s_0 の状態に至るプランチメトリックは「- $d_k - A/2$ 」となる。

【0031】また、図4 (Z) に示すように、 $t = k - 1$ における s_1 の状態から $t = k$ における s_0 の状態に至るプランチメトリックは「0」となり、 $t = k - 1$ における s_0 の状態から $t = k$ における s_1 の状態に至るプランチメトリックは「 $d_k - A/2$ 」となる。

【0032】さらに、図4 (Y) に示すように、 $t = k - 1$ における s_0 の状態から $t = k$ における s_1 の状態に至るプランチメトリックは「0」となり、 $t = k - 1$ における s_1 の状態から $t = k$ における s_0 の状態に至るプランチメトリックも「0」となる。

【0033】一方、 $t = k - 1$ から $t = k$ に至るプランチメトリックは、上述のような図4の (X) (Y) (Z) の3通りしかなく、図4 (X) の場合におけるメトリックは、

$$m_k(s_1) = m_{k-1}(s_0)$$

$$m_k(s_0) = m_{k-1}(s_1) - d_k - A/2$$

となる。したがって、 $t = k - 1$ から $t = k$ に至るプランチメトリックの差は、

$$\begin{aligned} m_k(s_1) - m_k(s_0) &= m_{k-1}(s_1) - m_{k-1}(s_0) + d_k + A/2 \\ &= d_k + A/2 \end{aligned} \quad \cdots (3) \text{式}$$

$$m_k(s_0) = m_{k-1}(s_1)$$

となる。したがって、 $t = k - 1$ から $t = k$ に至るプランチメトリックの差は、

$$\begin{aligned} m_k(s_1) - m_k(s_0) &= m_{k-1}(s_1) - m_{k-1}(s_0) + d_k - A/2 \\ &= d_k - A/2 \end{aligned} \quad \cdots (4) \text{式}$$

$$m_k(s_1) = m_{k-1}(s_0)$$

となる。したがって、 $t = k - 1$ から $t = k$ に至るメトリックの差は、

$$\cdots (5) \text{式}$$

を選択し、その値に対応したバスを最適なバスとして選択する。

【0037】次に、第1実施例の信号処理装置におけるビタビ復号器5の一実施例について図5を参照しながら説明する。ビタビ復号器5において、入力端子11を介して入力された入力信号 d_k は、正負反転手段51によ

って正負反転されたされた後、加算手段13、15に入力される。

【0038】第1の加算手段13は、入力信号に $-A/2$ を加算することによって、プランチメトリックの差(前記(3)式の正負を反転したもの)を生成して、第1のラッチ回路17に供給する。また、第2の加算手段15は、入力信号に $A/2$ を加算することによって、プランチメトリックの差(前記(4)式の正負を反転したもの)を生成して、第2のラッチ回路19に供給する。

【0039】上記第1のラッチ回路17は、保持した信号($-x : -d_k, -A/2$)を第1の比較手段25の一方の入力端子および第1の正負反転手段21に供給する。また、第2のラッチ回路19は、保持した信号($-y : -d_k, +A/2$)を第2の比較手段27の一方の入力端子および第2の正負反転手段23に供給する。

【0040】一方、第3のラッチ回路31は、所定のタイミングにおける確率(尤度)データ(バスメトリック)の差($y : m_{k-1}(s_1) - m_{k-1}(s_0)$)を保持しており、このデータを上記各比較手段25、27の他方の入力端子および切り換え手段29に供給する。

【0041】上記第1の比較手段25は、上述のように供給される2つの入力信号を比較した後、その比較出力を上記切り換え手段29に供給して、この切り換え手段29を制御する。また、第1の比較手段25は、バスメモリ33にメモリ制御信号を供給する。

【0042】同様に、上記第2の比較手段27は、上述のように供給される2つの入力信号を比較した後、その比較出力を上記切り換え手段29に供給して、この切り換え手段29を制御する。また、比較手段27は、バスメモリ33にメモリ制御信号を供給する。

【0043】切り換え手段29は、上記第1および第2の比較手段25、27からの比較出力によって切り換え制御される。すなわち、第1のラッチ回路17からの信号を第1の正負反転手段21によって正負反転を行った入力信号 $d_k + A/2$ 、第2のラッチ回路19からの信号を第2の正負反転手段23によって正負反転を行った入力信号 $d_k - A/2$ 、第3のラッチ回路31からの入力信号のいずれかを選択して出力する。そして、この出力は、新たなバスメトリックとして上記第3のラッチ回路31に供給されて保持される。

【0044】ここで、この切り換え手段29は、上記第1の比較手段25の出力と第2の比較手段27の出力とに従って、図6に示すように、上記第1の正負反転手段21の出力($x : d_k + A/2$; (3)式の正負を反転したもの)、上記第3のラッチ回路31の出力(y)、上記第2の正負反転手段23の出力($z : d_k - A/2$; (4)式の正負を反転したもの)のうちのいずれかを選択的に切り換えるようなスイッチング制御を行う。そして、この選択出力は、最新のバスメトリックの差として上記第3のラッチ回路31に供給されて保持され

【0045】また、上記比較回路25、27は、図7に示すように、その比較出力に基づいて、上記バスメモリ33のメモリ制御を行うことによって、バスを確定させていく。

【0046】すなわち、本実施例においては、 $t = k$ における比較手段25、27からの比較出力の組み合わせに基づいて、 $t = k-1$ から $t = k$ にかけての状態遷移を図3に示した3つの状態(X, Y, Z)のいずれかと10判定する。そして、この結果に基づいて、上記バスメモリ33の内容を制御して最も確からしいバスを確定させ、出力端子35から復号データを出力するようになっている。

【0047】なお、図4に7す3つの状態X、Y、Zは、メトリックの差(y)とプランチメトリックの差(x, z)の大小関係において、

第1の状態X $x < y$

第2の状態Y $x \geq y \geq z$

第3の状態Z $y < z$

20のような関係となる。

【0048】また、上記バスメモリ33の構成自体は一般的なものであり、図示しない2つの入力端子から各自供給される「1」、「0」の各データ列を上記各比較手段25、27からの比較出力に応じて交互に修正することによって、上記出力端子35から復号データを出力するものである。

【0049】次に、第1の実施例のビタビ復号器5の動作を、図2に示したサンプリングデータ d_k が入力された場合について、図7を参照しながら説明する。まず、30図7において、 $t = 1$ のタイミングにおける上記正負反転手段21の出力(x)は1.5となり、上記第3のラッチ回路31の出力(y)は0となり、上記第2の正負反転手段23の出力(z)は0.5となる。

【0050】したがって、これら x, y, z の値を比較すると $y < z$ となり、図6を参照して第3の状態Zが選択される。これによって、 $t = 1$ のタイミングにおける入力データ d_k に基づく $t = 0$ から $t = 1$ にかけての状態遷移は、図7に示すように、 s_1 から s_0 に至るバスと、 s_0 から s_1 に至るバスとが考えられる。

【0051】同様に、 $t = 1$ のタイミングにおける入力データ d_k に基づく $t = 0$ から $t = 1$ にかけての状態遷移を判定すると、 $y < z$ となるから図6を参照して第3の状態Zが選択される。したがって、この $t = 2$ のタイミングで、 $t = 0$ から $t = 1$ にかけてのバスは、図7に示すように、 s_0 から s_1 に至るものであることが確定する。

【0052】以下、このような判定動作を繰り返すことによって、図7に示すように、 $t = 9$ までの入力データ d_k に基づいて $t = 7$ までのバスが確定し、これによって $t = 7$ までの復号が完了する。

【0053】そして、このように復号されたデータと、図2(D)に示す本来の復号データとを比較すると、本実施例によって得られた復号データは、 $t = 2$ および $t = 6$ の入力データが誤っているにもかかわらず正しいものが得られることがわかる。このように、本実施例における信号処理装置によれば、ノイズの影響を受けることなく正確な信号処理を行うことができる。

【0054】また、本実施例の信号処理装置においては、上記ラッチ回路31に保持される値を、メトリックの差あるいはプランチメトリックの差自体とすることによって、比較的狭いレンジ($-2A < d_k < 2A$)内に留めることができる。その結果、第3のラッチ回路31のオーバーフローを未然に防止することができる。

【0055】すなわち、図10に示す従来例におけるラッチ回路123に保持される値は、ラッチ回路125の出力値 $m_{k+1}(s_k)$ 、またはラッチ回路107とラッチ回路123との出力の和($m_{k+1}(s_k) + d_k - A/2$)である。また、ラッチ回路125に保持される値は、ラッチ回路123の出力 $m_{k+1}(s_k)$ またはラッチ回路109とラッチ回路125との出力の和($m_{k+1}(s_k) + d_k + A/2$)である。そのため、これらの値が積算されて、ラッチ回路123、125に保持される値が極めて大きくなる可能性があった。

【0056】これに対して、図5に示すように、本実施例におけるラッチ回路31に保持される値は、上述したようなメトリックの差の値であるため、一定範囲内の値となる。したがって、本実施例によれば、従来必要であった上記ラッチ回路のオーバーフロー防止手段が必要なくなり、ビタビ復号器5の回路規模を大幅に小さくすることができる。

【0057】また、従来のバスメトリックのフィードバックループに必要であった加算手段(図10における加算手段111、113)が不要となるため、バスメトリックのフィードバックループを短くすることができる。これにより、ビタビ復号器5の動作速度を向上させることができ、このためデレビートでのビタビ復号を実現することができる。

【0058】次に、本発明の信号処理装置に用いられるビタビ復号器の第2の実施例を図面を参照しながら説明する。なお、ビタビ復号器の第2の実施例の説明においては、図5に示すビタビ復号器の第1の実施例と同一の部分には同一の符号を付して詳細な説明は省略する。図8は、本発明の信号処理装置に用いられるビタビ復号器の第2の実施例の概略構成を示すブロック図である。

【0059】このビタビ復号器の第2の実施例は、ビタビ復号器の第1の実施例の状態Yの場合におけるバスメトリックの保存のための構成を変更したものである。

【0060】図8において、第1のラッチ回路17は、保持した信号($-x : -d_k - A/2$)を第1の比較手段25の一方の入力端子および第1の正負反転手段21

に供給する。また、第2のラッチ回路19は、保持した信号($-y : -d_k + A/2$)を第2の比較手段27の一方の入力端子および第2の正負反転手段23に供給する。

【0061】第1の正負反転手段21は、第1のラッチ回路17から供給された信号 $-x$ の正負を反転し、その出力信号 x を第1のスイッチ51に供給する。また、第2の正負反転手段23は、第2のラッチ回路19から供給された信号 $-z$ の正負を反転し、その出力信号 z を第2のスイッチ53に供給する。

【0062】第1の比較手段25は、図6に従って入力信号 $-x$ と y とを比較し、その出力信号を第1のスイッチ51とノアゲート回路55に供給する。また、第2の比較手段27は、図6に従って入力信号 $-z$ と y とを比較し、その出力信号を第2のスイッチ53とノアゲート回路55に供給する。ノアゲート回路55は、その出力信号をクロックイネーブル付ラッチ回路57のクロックイネーブル端子に供給する。

【0063】このような構成において、上記第1の比較手段25が $x < y$ と判定した場合、すなわち、図4の状態Xの場合は、上記第1のスイッチ51が閉じられ、第1の正負反転手段21の出力信号 x がクロックイネーブル付ラッチ回路57でラッチされる。また、上記第2の比較手段27が $y < z$ と判定した場合、すなわち、図4の状態Zの場合は、上記第2のスイッチ53が閉じられ、第2の正負反転手段23の出力信号 z がクロックイネーブル付ラッチ回路57でラッチされる。

【0064】さらに、上記第1の比較手段25が $x \geq y$ と判定し、上記第1の比較手段27が $y \geq z$ と判定した場合、すなわち、図4の状態Yの場合は、上記第1および第2のスイッチ51、53のいずれもが閉じられず、ノアゲート55の出力信号によってクロックイネーブル付ラッチ回路57のクロックイネーブルがディスエーブルされ、1クロック前のバスメトリックの差がそのまま保持される。

【0065】上述の各実施例から明らかなように、上記の状態Yにおいてはバスメトリックの差の値が更新されず、そのための構成としては上述の実施例に限定されるものではなく、種々の構成であってもよい。

【0066】次に、本発明の第2実施例による信号処理装置について、図面を参照しながら説明する。

【0067】第1実施例による信号処理装置は、PR(1, 1)の再生データを復号するものであるが、第2実施例による信号処理装置は、PR(1, 0, 1)の再生データを復号するものである。すなわち、PR(1, 0, 1)の場合は、入力されるデータ列を時間方向に偶数データと奇数データとに分け、その各々のデータ列に対して本実施例に示すビタビ復号器を用いることによって、再生データの復号を行うようにしたものである。

【0068】図9は、本発明の第2実施例による信号処

理装置の概略構成を示すブロック図である。

【0069】図9においては、図1に示す第1実施例による信号処理装置と同様に、入力端子61から入力されたデジタル信号(矩形波信号)は、再生アンプ62で増幅された後、イコライザ63に供給されて、PR(1, 0, 1)の等化方式により波形整形される。

【0070】このイコライザ63からの出力信号は、A/D変換器64によってデジタル化された後、正負反転手段65によって正負の反転が施される。そして、正負反転手段65からの出力信号は、スイッチ回路66を介して、2つのビタビ復号器67、68に入力信号-d₁として供給される。2つのビタビ復号器67、68によって復号された復号データは、スイッチ回路69を介して、出力端子70から出力される。

【0071】また、上記A/D変換器64、スイッチ回路66、69、ビタビ復号器67、68は、制御回路72から供給される制御信号によって駆動制御される。この制御回路72は、PLL回路71から供給される所定の周波数の基準クロック信号に基づいて、上記各制御信号を生成するようになっている。

【0072】本実施例においては、2つのビタビ復号器67、68をこの基準クロック信号に同期させて選択的に切り換えて使用することによって、各ビタビ復号器67、68における動作速度を約半分にすることができるとともに、PR(1, 0, 1)の再生データの復号を行うことができる。

【0073】

【発明の効果】本発明は上述したように、外部から供給されるプランチメトリックの差と保存しているメトリックの差との比較を行う比較手段を設けるとともに、その比較出力に基づいて復号データを確定し、比較出力に基づいて選択されたメトリックの差を新たなメトリックの差として保持手段に保持するようにしたので、オーバーフローを防止するための手段、および従来のバスメトリックのフィードバックループに必要であった加算手段を不要にでき、ビタビ復号器の回路規模を大幅に小さくすることができるとともに、バスメトリックのフィードバックループの構成を短くすることができる。したがって、本発明によれば、最尤復号を行う回路の構成を簡素化することができるとともに、動作速度を大幅に高速化することができ、これにより、例えばテレビレートでの復号処理を行うことが可能な回路を、簡単な回路構成で実現することができる。

【図面の簡単な説明】

【図1】本発明の信号処理装置の第1実施例を示し、信号処理装置の概略構成を示すブロック図である。

【図2】本発明の第1実施例の信号処理装置による記録、再生波形とデータを示す図である。

【図3】一般的なバーシャルレスポンスの特性を示す図である。

【図4】本発明の信号処理装置の一実施例によるバスの分類を示す図である。

10 【図5】本発明の第1実施例の信号処理装置に用いられるビタビ復号器の第1の実施例の概略構成を示すブロック図である。

【図6】本発明の信号処理装置の一実施例による比較手段の判定基準を示す図である。

【図7】本発明の第1実施例によるデータ系列およびトレリス線図を示す図である。

【図8】本発明の第1実施例の信号処理装置に用いられるビタビ復号器の第2の実施例の概略構成を示すブロック図である。

20 【図9】本発明の第2実施例を示し、信号処理装置の概略構成を示すブロック図である。

【図10】従来のビタビ復号器の概略構成を示すブロック図である。

【符号の説明】

1、11、61 入力端子

2、62 アンプ

3、63 イコライザ

3a イコライジング回路

3b ゲイン制御回路

30 4 64 A/D変換器

5、67、68 ビタビ復号器

6、71 PLL回路

7、72 制御回路

8、35、70 出力端子

13、15 加算器

17、19、31、57 ラッチ回路

21、23、65 正負反転手段

25、27 比較手段

29 切り換え手段

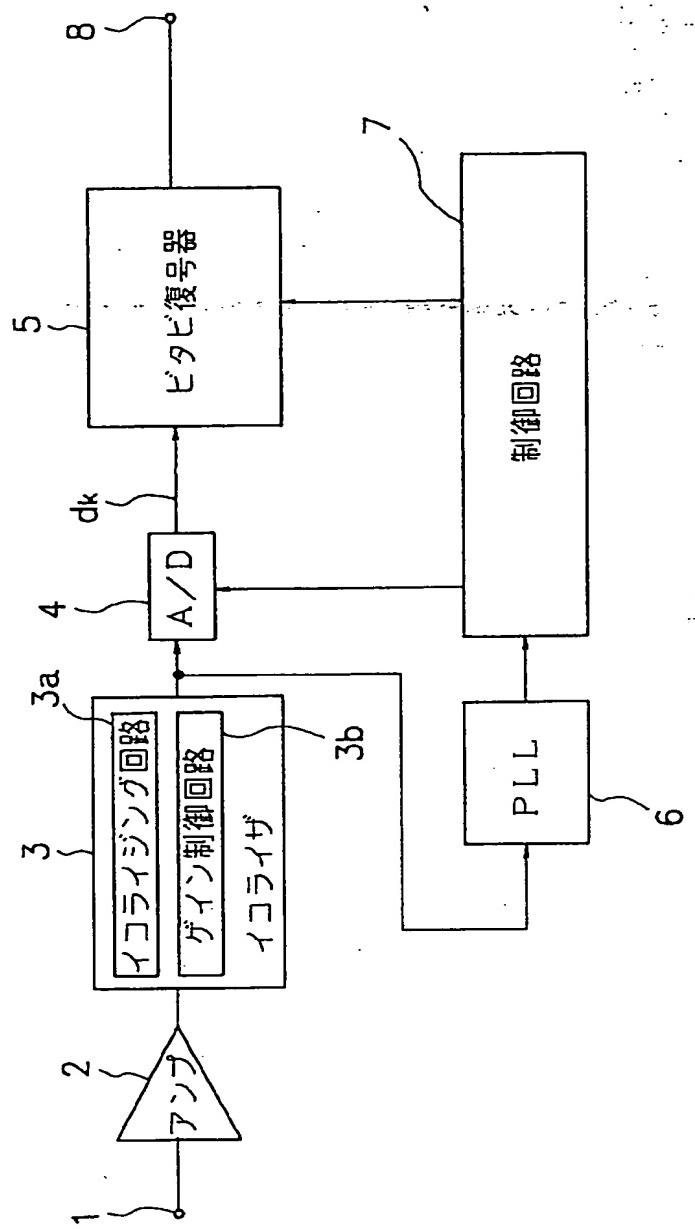
40 33 パスメモリ

51、53 スイッチ

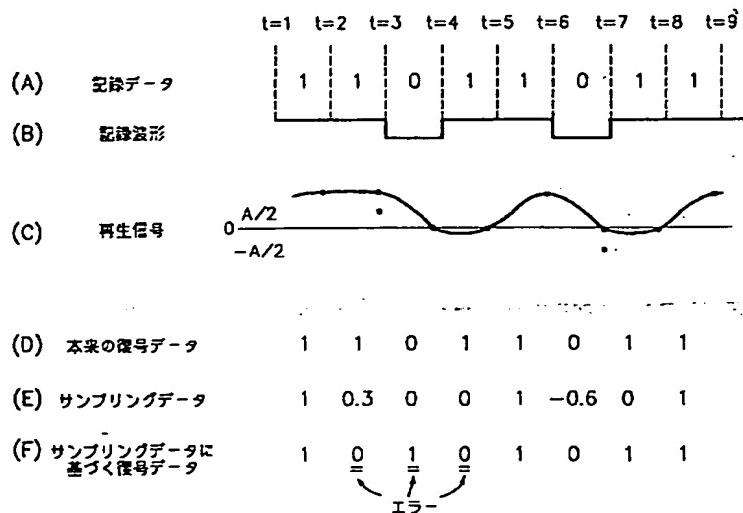
55 ノアゲート回路

66、69 スイッチ回路

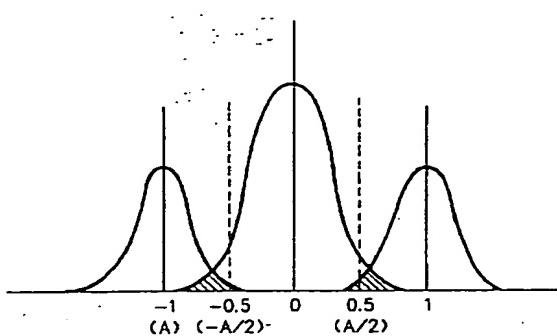
{图 1}



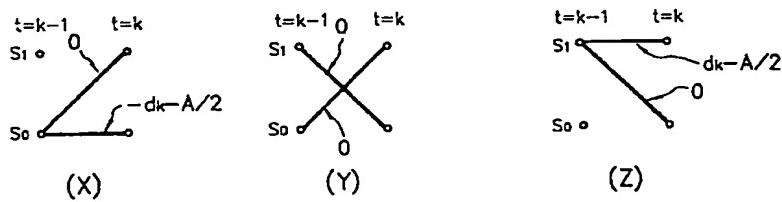
【図2】



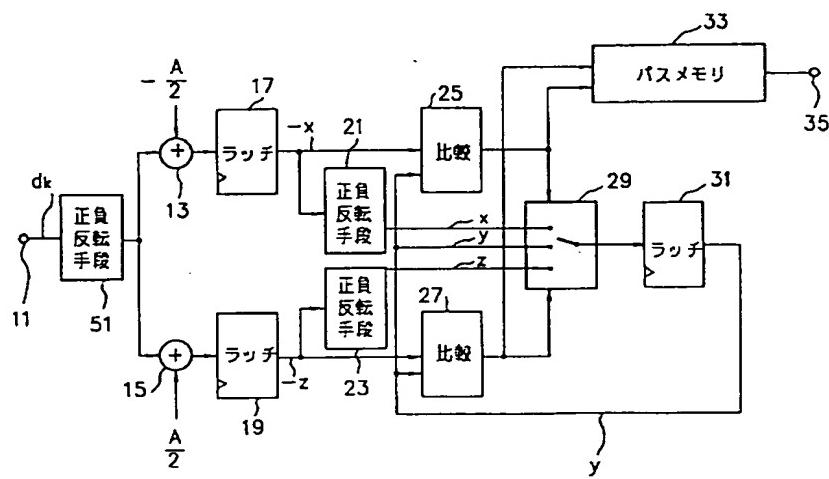
【図3】



【図4】



【図5】

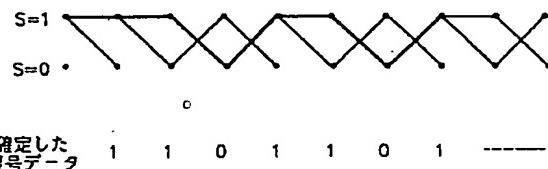


【図 6】

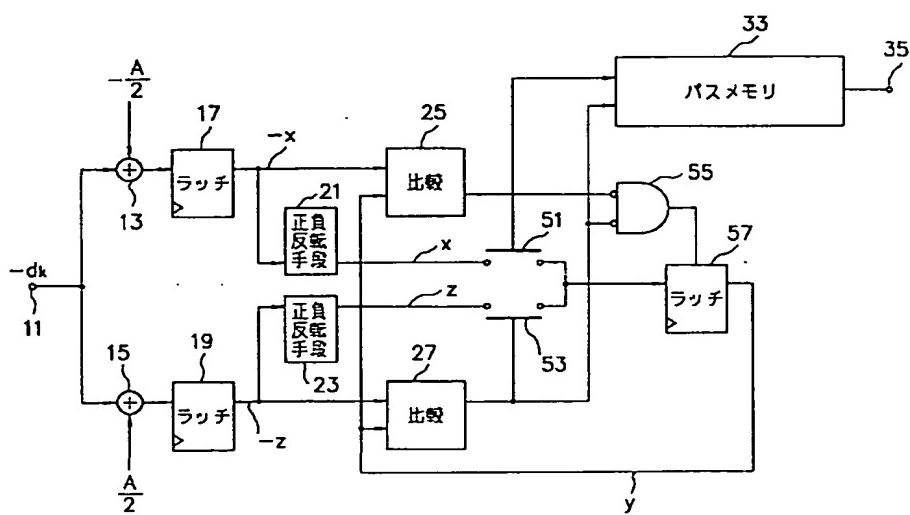
x と y との比較	y と z との比較	切換手段29	状態
$x < y$	どちらでもよい	x を選択	x
$x \geq y$	$y \geq z$	y を選択	y
どちらでもよい	$y < z$	z を選択	z

【図 7】

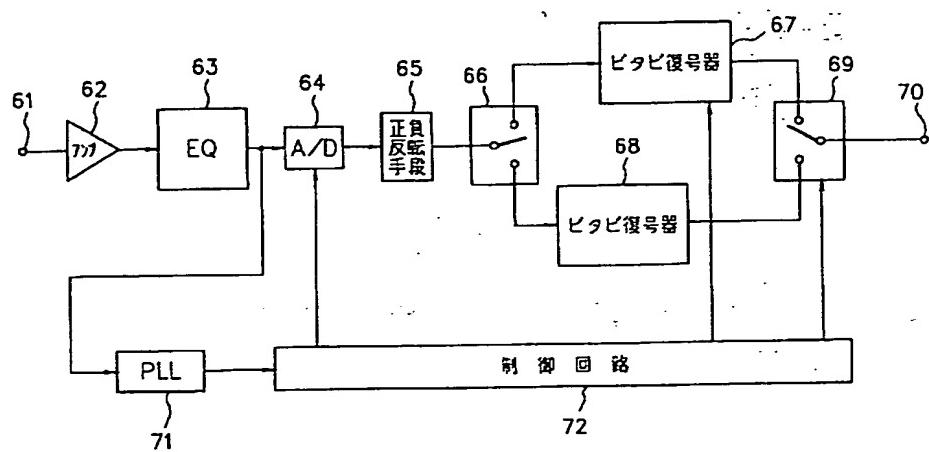
	d_k	$x; d_k + A/2$	$x; d_k - A/2$	y	状態	
	$t=0$					
	$t=1$	1	1.5	0.5	0	z
	$t=2$	0.3	0.8	-0.2	0.5	z
	$t=3$	0	0.5	-0.5	-0.2	y
	$t=4$	0	0.5	-0.5	-0.2	y
	$t=5$	1	1.5	0.5	-0.2	z
	$t=6$	-0.6	-0.1	-1.1	0.5	y
	$t=7$	0	0.5	-0.5	0.5	y
	$t=8$	1	1.5	0.5	0.5	z
	$t=9$	0	0.5	-0.5	0.5	y
				0.5		



【図 8】



【図 9】



【図 10】

